

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274919

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H03L 7/06
G06K 17/00
H04L 27/227

(21)Application number : 10-078694

(71)Applicant : SONY CORP

(22)Date of filing : 26.03.1998

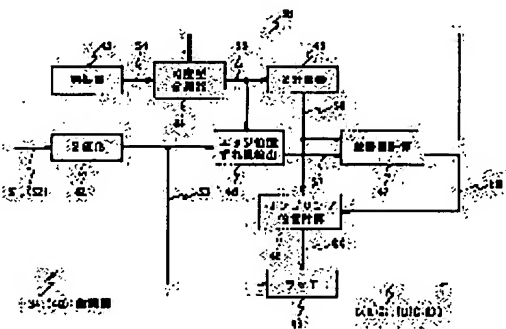
(72)Inventor : ARISAWA SHIGERU

(54) PLL CIRCUIT, DEMODULATION CIRCUIT, IC CARD AND IC CARD PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To surely process with a simple configuration an input signal, even when the deteriorated input signal is received by applying a PLL circuit and a demodulation circuit to the IC card that receives/outputs various data, for example, with out making contact, and to the IC card processing unit that makes data communication with the IC card with respect to the PLL circuit, the demodulation circuit, the IC card and the IC card processing unit.

SOLUTION: The phase shift of a leading edge a trailing edge is calculated by selectively averaging phase comparison results S7 to be an oscillated output signal S5 and a binary signal S3, the phase shift is used to control an oscillated output signal S6, a control direction is decided, based on the polarity of a phase comparison result between oscillation output signals with a phase difference of 90 degrees, and the oscillated output signal is controlled in this control direction.



LEGAL STATUS

[Date of request for examination]

03.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

This Page Blank (uspto)

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (usptm)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274919

(43) 公開日 平成11年(1999)10月8日

(51) Int. Cl. ⁶
H03L 7/06
G06K 17/00
H04L 27/22

識別記号

F I
H03L 7/06
G06K 17/00
H04L 27/22

H
F
B

審査請求 未請求 請求項の数32 O L (全14頁)

(21) 出願番号 特願平10-78694

(22) 出願日 平成10年(1998)3月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 有沢 繁

東京都品川区北品川6丁目7番35号 ソニー株式会社内

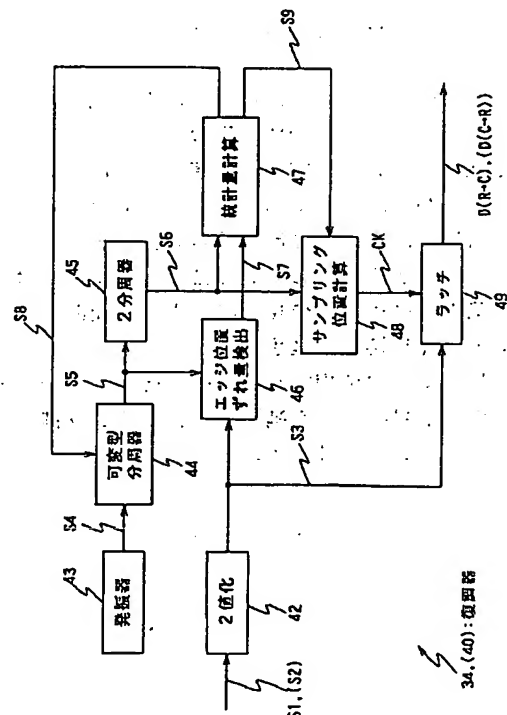
(74) 代理人 弁理士 多田 繁範

(54) 【発明の名称】 PLL回路、復調回路、ICカード及びICカード処理装置

(57) 【要約】

【課題】本発明は、PLL回路、復調回路、ICカード及びICカード処理装置に関し、例えば非接触により種々のデータを入出力するICカードと、このICカードとデータ通信するICカード処理装置に適用して、簡易な構成で、入力信号が劣化した場合でも確実に入力信号を処理することができるようにする。

【解決手段】発振出力信号S5と2値化信号S3の位相比較結果S7を選択的に平均値化して立ち上がりエッジ又は立ち下がりエッジの何れかに対する位相ずれ量を計算し、この位相ずれ量より発振出力信号S6を制御し、また90度位相の異なる発振出力信号による位相比較結果の正負を基準にして制御方向を決定し、この制御方向に発振出力信号を制御する。



【特許請求の範囲】

【請求項 1】 所望の伝送系を介して伝送された入力信号より、前記入力信号のクロックを再生する PLL 回路において、

前記入力信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により発振出力信号の周波数を可変する信号生成手段と、

前記発振出力信号と前記 2 値化信号とを位相比較し、位相比較結果を出力する位相比較手段と、

前記位相比較結果を選択的に平均値化し、前記発振出力信号の立ち上がりエッジに対する前記 2 値化信号の第 1 の位相ずれ量と、前記発振出力信号の立ち下がりエッジに対する前記 2 値化信号の第 2 の位相ずれ量とを計算し、前記第 1 又は第 2 の位相ずれ量より前記制御信号を出力する位相比較結果処理手段と、

前記第 2 又は第 1 の位相ずれ量の検出結果に基づいて、前記発振出力信号の位相を補正して前記クロックを出力する位相補正手段とを備えることを特徴とする PLL 回路。

【請求項 2】 前記入力信号が PSK 変調信号でなることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】 前記入力信号がマンチェスタ符号による変調信号でなることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 4】 所望の伝送系を介して伝送された入力信号より、前記入力信号を介して伝送されるデータ列を再生する復調回路において、

前記入力信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により発振出力信号の周波数を可変する信号生成手段と、

前記発振出力信号と前記 2 値化信号とを位相比較し、位相比較結果を出力する位相比較手段と、

前記位相比較結果を選択的に平均値化し、前記発振出力信号の立ち上がりエッジに対する前記 2 値化信号の第 1 の位相ずれ量と、前記発振出力信号の立ち下がりエッジに対する前記 2 値化信号の第 2 の位相ずれ量とを計算し、前記第 1 又は第 2 の位相ずれ量より前記制御信号を出力する位相比較結果処理手段と、

前記第 2 又は第 1 の位相ずれ量の検出結果に基づいて、前記発振出力信号の位相を補正してタイミング補正信号を出力するタイミング補正手段と、

前記タイミング補正信号により前記 2 値化信号をラッチするラッチ手段とを備えることを特徴とする復調回路。

【請求項 5】 前記入力信号が PSK 変調信号でなることを特徴とする請求項 4 に記載の復調回路。

【請求項 6】 前記入力信号がマンチェスタ符号による変調信号でなることを特徴とする請求項 4 に記載の復調回路。

【請求項 7】 アンテナを介して受信された送信信号から復調回路によりデータ列を復調して処理する IC カードにおいて、

前記復調回路は、

前記送信信号より得られる変調信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により発振出力信号の周波数を可変する信号生成手段と、

前記発振出力信号と前記 2 値化信号とを位相比較し、位相比較結果を出力する位相比較手段と、

前記位相比較結果を選択的に平均値化し、前記発振出力信号の立ち上がりエッジに対する前記 2 値化信号の第 1 の位相ずれ量と、前記発振出力信号の立ち下がりエッジに対する前記 2 値化信号の第 2 の位相ずれ量とを計算し、前記第 1 又は第 2 の位相ずれ量より前記制御信号を出力する位相比較結果処理手段と、

前記第 2 又は第 1 の位相ずれ量の検出結果に基づいて、前記発振出力信号の位相を補正してタイミング補正信号を出力するタイミング補正手段と、

前記タイミング補正信号により前記 2 値化信号をラッチして前記データ列を再生するラッチ手段とを備えることを特徴とする IC カード。

【請求項 8】 前記変調信号が PSK 変調信号でなることを特徴とする請求項 7 に記載の IC カード。

【請求項 9】 前記変調信号がマンチェスタ符号による信号でなることを特徴とする請求項 7 に記載の IC カード。

【請求項 10】 アンテナを介して受信された応答信号から、復調回路を用いて IC カードより送出されたデータ列を復調して処理する IC カード処理装置において、前記復調回路は、

前記応答信号より得られる変調信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により発振出力信号の周波数を可変する信号生成手段と、

前記発振出力信号と前記 2 値化信号とを位相比較し、位相比較結果を出力する位相比較手段と、

前記位相比較結果を選択的に平均値化し、前記発振出力信号の立ち上がりエッジに対する前記 2 値化信号の第 1 の位相ずれ量と、前記発振出力信号の立ち下がりエッジに対する前記 2 値化信号の第 2 の位相ずれ量とを計算し、前記第 1 又は第 2 の位相ずれ量より前記制御信号を出力する位相比較結果処理手段と、

前記第 2 又は第 1 の位相ずれ量の検出結果に基づいて、前記発振出力信号の位相を補正してタイミング補正信号を出力するタイミング補正手段と、

前記タイミング補正信号により前記 2 値化信号をラッチして前記データ列を再生するラッチ手段とを備えることを特徴とする IC カード処理装置。

【請求項 11】 前記変調信号が PSK 変調信号でなる

ことを特徴とする請求項 1 0 に記載の IC カード処理装置。

【請求項 1 2】 前記変調信号がマンチェスタ符号による信号でなることを特徴とする請求項 1 0 に記載の IC カード処理装置。

【請求項 1 3】 所望の伝送系を介して伝送された入力信号より、前記入力信号のクロックを再生する PLL 回路において、

前記入力信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 9 0 度位相の異なる第 2 の発振出力信号を出力する信号生成手段と、

前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、

前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、

前記第 1 及び第 2 の位相比較結果の正負に基づいて制御方向を決定し、前記制御方向に基づいて前記制御信号を出力して前記信号生成手段の動作を制御する制御手段とを備えることを特徴とする PLL 回路。

【請求項 1 4】 前記入力信号が P S K 変調信号でなることを特徴とする請求項 1 3 に記載の PLL 回路。

【請求項 1 5】 前記入力信号がマンチェスタ符号による変調信号でなることを特徴とする請求項 1 3 に記載の PLL 回路。

【請求項 1 6】 前記信号生成手段は、所定の基準信号を所定の分周比により分周して前記第 1 及び第 2 の発振出力信号を出力し、

前記制御手段は、前記制御信号により前記分周比を順次段階的に切り換えて、前記信号生成手段の動作を制御することを特徴とする請求項 1 3 に記載の PLL 回路。

【請求項 1 7】 前記制御手段は、前記第 1 及び第 2 の位相比較結果に基づいて、前記第 1 及び第 2 の位相比較結果を切り換え前記制御方向を決定することを特徴とする請求項 1 3 に記載の PLL 回路。

【請求項 1 8】 所望の伝送系を介して伝送された入力信号より、前記入力信号を介して伝送されるデータ列を再生する復調回路において、

前記入力信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 9 0 度位相の異なる第 2 の発振出力信号を出力する信号生成手段と、

前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、

前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、

前記第 1 及び第 2 の位相比較結果の正負に基づいて制御方向を決定し、前記制御方向に基づいて前記制御信号を出力して前記信号生成手段の動作を制御する制御手段とを備え、

前記第 1 又は第 2 の位相比較結果により前記データ列を出力することを特徴とする復調回路。

10 【請求項 1 9】 前記入力信号が P S K 変調信号でなることを特徴とする請求項 1 8 に記載の復調回路。

【請求項 2 0】 前記入力信号がマンチェスタ符号による変調信号でなることを特徴とする請求項 1 8 に記載の復調回路。

【請求項 2 1】 前記信号生成手段は、所定の基準信号を所定の分周比により分周して前記第 1 及び第 2 の発振出力信号を出力し、

前記制御手段は、前記制御信号により前記分周比を順次段階的に切り換えて、前記信号生成手段の動作を制御することを特徴とする請求項 1 8 に記載の復調回路。

【請求項 2 2】 前記制御手段は、前記第 1 及び第 2 の位相比較結果に基づいて、前記第 1 及び第 2 の位相比較結果を切り換えて前記制御方向を決定することを特徴とする請求項 1 8 に記載の復調回路。

【請求項 2 3】 アンテナを介して受信された送信信号から復調回路によりデータ列を復調して処理する IC カードにおいて、

前記復調回路は、前記送信信号を 2 値化して 2 値化信号を生成する 2 値化手段と、

制御信号により周波数を可変して、第 1 の発振出力信号と、前記第 1 の発振出力信号に対して 9 0 度位相の異なる第 2 の発振出力信号を出力する信号生成手段と、

前記第 1 の発振出力信号と前記 2 値化信号とを位相比較し、第 1 の位相比較結果を出力する第 1 の位相比較手段と、

前記第 2 の発振出力信号と前記 2 値化信号とを位相比較し、第 2 の位相比較結果を出力する第 2 の位相比較手段と、

前記第 1 及び第 2 の位相比較結果の正負に基づいて制御方向を決定し、前記制御方向に基づいて前記制御信号を出力して前記信号生成手段の動作を制御する制御手段とを備え、

前記第 1 又は第 2 の位相比較結果により前記データ列を出力することを特徴とする IC カード。

【請求項 2 4】 前記送信信号が P S K 変調信号でなることを特徴とする請求項 2 3 に記載の IC カード。

【請求項 2 5】 前記送信信号がマンチェスタ符号による変調信号でなることを特徴とする請求項 2 3 に記載の

ＩＣカード。

【請求項 2 6】 前記信号生成手段は、
所定の基準信号を所定の分周比により分周して前記第 1
及び第 2 の発振出力信号を出力し、
前記制御手段は、
前記制御信号により前記分周比を順次段階的に切り換え
て、前記信号生成手段の動作を制御することを特徴とす
る請求項 2 3 に記載の ＩＣカード。

【請求項 2 7】 前記制御手段は、
前記第 1 及び第 2 の位相比較結果に基づいて、前記第 1
及び第 2 の位相比較結果を切り換えて前記制御方向を決
定することを特徴とする請求項 2 3 に記載の ＩＣカー
ド。

【請求項 2 8】 アンテナを介して受信された応答信号
から、復調回路を用いて ＩＣカードより送出されたデー
タ列を復調して処理する ＩＣカード処理装置において、
前記復調回路は、
前記応答信号を 2 値化して 2 値化信号を生成する 2 値化
手段と、
制御信号により周波数を可変して、第 1 の発振出力信号
と、前記第 1 の発振出力信号に対して 9 0 度位相の異な
る第 2 の発振出力信号を出力する信号生成手段と、
前記第 1 の発振出力信号と前記 2 値化信号とを位相比較
し、第 1 の位相比較結果を出力する第 1 の位相比較手段
と、
前記第 2 の発振出力信号と前記 2 値化信号とを位相比較
し、第 2 の位相比較結果を出力する第 2 の位相比較手段
と、
前記第 1 及び第 2 の位相比較結果の正負に基づいて制御
方向を決定し、前記制御方向に基づいて前記制御信号を
出力して前記信号生成手段の動作を制御する制御手段と
を備え、
前記第 1 又は第 2 の位相比較結果により前記データ列を
出力することを特徴とする ＩＣカード処理装置。

【請求項 2 9】 前記応答信号が ＰＳＫ変調信号でなる
ことを特徴とする請求項 2 8 に記載の ＩＣカード処理装
置。

【請求項 3 0】 前記応答信号がマンチェスタ符号によ
る変調信号でなることを特徴とする請求項 2 8 に記載の
ＩＣカード処理装置。

【請求項 3 1】 前記信号生成手段は、
所定の基準信号を所定の分周比により分周して前記第 1
及び第 2 の発振出力信号を出力し、
前記制御手段は、
前記制御信号により前記分周比を順次段階的に切り換え
て、前記信号生成手段の動作を制御することを特徴とす
る請求項 2 8 に記載の ＩＣカード処理装置。

【請求項 3 2】 前記制御手段は、
前記第 1 及び第 2 の位相比較結果に基づいて、前記第 1
及び第 2 の位相比較結果を切り換えて前記制御方向を決

定することを特徴とする請求項 2 8 に記載の ＩＣカード
処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、 ＰＬＬ回路、復調
回路、 ＩＣカード及び ＩＣカード処理装置に関し、例
えば非接触により種々のデータを入出力する ＩＣカード
と、この ＩＣカードとデータ通信する ＩＣカード処理装
置に適用することができる。本発明は、発振出力信号と
2 値化信号の位相比較結果を選択的に平均値化して立ち
上がりエッジ又は立ち下がりエッジの何れかに対する位
相ずれ量を計算し、この位相ずれ量より発振出力信号を
制御することにより、また 9 0 度位相の異なる発振出力
信号による位相比較結果の正負を基準にして制御方向を
決定し、この制御方向に発振出力信号を制御すること
により、簡易な構成で、入力信号が劣化した場合でも確
実に入力信号を処理することができるようにする。

【 0 0 0 2 】

【従来の技術】従来、 ＩＣカードを用いた ＩＣカードシ
ステムにおいては、交通機関の改札システム、部屋の入
退出管理システム等に適用されるようになされている。
このような ＩＣカードシステムは、ユーザーの携帯する
ＩＣカードと、これら ＩＣカードとの間で種々のデータ
を送受するリードライタ（すなわち ＩＣカード処理装置
でなる）とにより構成され、これら ＩＣカード及びリー
ドライタ間で非接触により種々のデータを送受するよう
になされたものが提案されている。

【 0 0 0 3 】すなわちこの種の ＩＣカードシステムにお
いて、リードライタは、所定周波数の搬送波を所望のデ
ータ列により変調して送信信号を生成し、この送信信号
を ＩＣカードに送出する。

【 0 0 0 4 】 ＩＣカードは、アンテナを介してこの送信
信号を受信し、この送信信号よりリードライタから送出
されたデータを復調する。さらに ＩＣカードは、この受
信したデータに応じて、内部に保持する個人情報等のデ
ータを所定の搬送波により変調してリードライタに送出
する。

【 0 0 0 5 】リードライタは、この ＩＣカードより送出
されたデータを受信し、この受信したデータより、改札
機の扉を開閉し、また部屋の入退出を許可するようにな
されている。

【 0 0 0 6 】このような ＩＣカードシステムにおいて
は、図 1 1 に示すような復調器を用いて、リードライタ
より送出されたデータを受信し、また ＩＣカードより送
信されたデータを受信するようになされている。

【 0 0 0 7 】すなわちこの復調器 1 は、アンテナ入力よ
り復調された ＰＳＫ変調信号 Ｓ 1 をリミッタ回路構成の
2 値化回路 2 に入力し、ここで ＰＳＫ変調信号 Ｓ 1 を 2
値化する。位相比較回路 3 は、この 2 値化回路 2 より出
力される 2 値化信号 Ｓ Ａと制御型発振回路 4 より出力さ

れるクロック C K とを位相比較するイクスクルーシブオア回路等により構成され、位相比較結果をローパスフィルタ (L P F) 5 に出力する。ローパスフィルタ 5 は、位相比較結果を帯域制限し、制御型発振回路 4 の制御信号を生成する。制御型発振回路 4 は、この制御信号に応じて発振周波数を可変する。

【 0 0 0 8 】これにより復調器 1 は、 P L L 回路を構成して 2 値化信号 S A に位相同期したクロック C K を生成し、 P S K 変調信号よりクロック C K を再生する。ラッチ回路 6 は、このクロック C K により 2 値化信号を順次ラッチし、これにより P S K 変調信号 S 1 を復調してなるデータ列 D 1 を出力するようになされている。

【 0 0 0 9 】

【発明が解決しようとする課題】ところで I C カードシステムにおいては、 I C カードとリードライタとの距離によりアンテナ入力が大きく変化する。これに伴ってマンチェスター符号による P S K 変調信号等においては、 P S K 変調信号 S 1 の波形が著しく劣化し、また S / N 比も大きく劣化する。

【 0 0 1 0 】このようになると従来の復調器は、 P S K 変調信号 S 1 を 2 値化して得られる 2 値化信号においてデューティ比が変化し、これにより 2 値化信号 S A より P S K 変調信号 S 1 のクロックを正しく再生することが困難になる問題がある。このようにクロックを正しく再生することが困難になると、その分正しくデータ再生することも困難になる。

【 0 0 1 1 】この問題を解決する 1 つの方法として、コスタスループにより P S K 変調信号を復調する方法が考えられる。ところがコスタスループは、アナログ信号処理により P S K 変調信号を処理することにより、簡易な構成が求められる I C カードにおいては、適用することが困難な欠点がある。

【 0 0 1 2 】本発明は以上の点を考慮してなされたもので、簡易な構成で、入力信号が劣化した場合でも確実に入力信号を処理することができる P L L 回路、復調回路、これらを使用した I C カード及び I C カード処理装置を提案しようとするものである。

【 0 0 1 3 】

【課題を解決するための手段】かかる課題を解決するため本発明においては、 P L L 回路において、発振出力信号と 2 値化信号との位相比較結果を選択的に平均値化し、発振出力信号の立ち上がりエッジに対する 2 値化信号の第 1 の位相ずれ量と、発振出力信号の立ち下がりエッジに対する 2 値化信号の第 2 の位相ずれ量とを計算し、この第 1 又は第 2 の位相ずれ量より発振出力信号の周波数を制御する制御信号を出力し、さらに第 2 又は第 1 の位相ずれ量の検出結果に基づいて、発振出力信号の位相を補正してクロックを出力する。

【 0 0 1 4 】また復調回路において、このクロックにより 2 値化信号を順次ラッチする。

【 0 0 1 5 】また I C カード及び I C カード処理装置において、先の復調回路によりアンテナを介して受信された送信信号からデータ列を復調する。

【 0 0 1 6 】また P L L 回路に適用して、第 1 の発振出力信号と 2 値化信号との第 1 の位相比較結果、この第 1 の発振出力信号に対して 9 0 度位相の異なる第 2 の発振出力信号と前記 2 値化信号との第 2 の位相比較結果を得、この第 1 及び第 2 の位相比較結果の正負に基づいて制御方向を決定し、この制御方向に基づいて信号生成手段の動作を制御する。

【 0 0 1 7 】また復調回路において、この第 1 又は第 2 の位相比較結果により前記データ列を出力する。

【 0 0 1 8 】また I C カード及び I C カード処理装置において、先の復調回路によりアンテナを介して受信された送信信号からデータ列を復調する。

【 0 0 1 9 】 P L L 回路において、発振出力信号と 2 値化信号との位相比較結果を選択的に平均値化し、発振出力信号の立ち上がりエッジに対する 2 値化信号の第 1 の位相ずれ量と、発振出力信号の立ち下がりエッジに対する 2 値化信号の第 2 の位相ずれ量とを計算すれば、ノイズによる影響を回避して第 1 及び第 2 の位相ずれ量を計算することができる。またこの第 1 又は第 2 の位相ずれ量より発振出力信号の周波数を制御する制御信号を出力すれば、2 値化信号のデューティ比が変化する場合でも、発振出力信号の立ち上がりエッジ又は立ち下がりエッジの何れかが 2 値化信号に位相同期するように、発振出力信号を制御することができる。これにより残る第 2 又は第 1 の位相ずれ量の検出結果に基づいて、発振出力信号の位相を補正してクロックを出力すれば、入力信号のクロックを再生することができる。

【 0 0 2 0 】これにより復調回路において、このクロックにより 2 値化信号を順次ラッチすれば、入力信号が劣化した場合でも、入力信号により伝送されたデータを確実に復調することができる。

【 0 0 2 1 】また I C カード及び I C カード処理装置において、先の復調回路によりアンテナを介して受信された送信信号からデータ列を復調すれば、 I C カード及び I C カード処理装置間の距離が変化して送信信号が劣化した場合でも、確実にデータを受信することができる。

【 0 0 2 2 】また P L L 回路に適用して、第 1 の発振出力信号と 2 値化信号との第 1 の位相比較結果、この第 1 の発振出力信号に対して 9 0 度位相の異なる第 2 の発振出力信号と前記 2 値化信号との第 2 の位相比較結果においては、2 値化信号のクロックに対する発振出力信号の周波数の変位により値が変化する。さらにこの位相比較結果の値が、第 1 の発振出力信号と第 2 の発振出力信号との位相差に対応して変化するようになる。これにより第 1 又は第 2 の位相比較結果を選択的に使用して位相同期させることができ、またこの第 1 又は第 2 の位相比較結果の正負により符号の切り換わりを検出することがで

きる。これによりこの第 1 及び第 2 の位相比較結果の正負に基づいて制御方向を決定し、この制御方向に基づいて信号生成手段の動作を制御すれば、第 1 の発振出力信号又は第 2 の発振出力信号をクロックに位相同期させることができる。このとき第 1 及び第 2 の位相比較結果の正負に基づいて制御方向を決定し、この制御方向に基づいて信号生成手段の動作を制御すれば、簡易な構成により位相同期させることができる。

【0023】これにより復調回路において、この第 1 又は第 2 の位相比較結果によりデータ列を出力して、入力信号により伝送されたデータを簡易かつ確実に復調することができる。

【0024】また IC カード及び IC カード処理装置において、先の復調回路によりアンテナを介して受信された送信信号からデータ列を復調すれば、IC カード及び IC カード処理装置間の距離が変化して送信信号が劣化した場合でも、確実にデータを受信することができる。

【0025】

【発明の実施の形態】以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

【0026】(1) 第 1 の実施の形態

図 2 は、本発明の第 1 の実施の形態に係る IC カードシステムを示すブロック図である。この IC カードシステム 11 は、例えば交通機関の改札システムに適用して、IC カード 12 とリードライト 13 間でデータ交換する。

【0027】ここで IC カード 12 は、集積回路を実装した基板と保護シートとを積層してカード形状に形成される。IC カード 12 は、この基板上的配線パターンによりループアンテナ 14 が形成される。またこの基板上に実装した集積回路により、変復調回路 15 及び信号処理回路 16 が形成される。

【0028】ここでループアンテナ 14 は、リードライト 13 のループアンテナ 18 と結合して、このループアンテナ 18 より送出された送信信号を受信すると共に、変復調回路 15 で生成した応答信号を放射する。

【0029】変復調回路 15 は、ループアンテナ 14 で受信した送信信号より、この IC カード 12 の動作に必要な電力、クロック等を生成する。さらに変復調回路 15 は、この電力、クロックにより動作して、送信信号よりリードライト 13 より送出されたデータ列（以下送信データ列と呼ぶ）D (R→C) を復調して信号処理回路 16 に出力する。またこの送信データ列 D (R→C) により送信が促されて信号処理回路 16 より入力されるデータ列（以下応答データ列と呼ぶ）D (C→R) より応答信号を生成し、この応答信号によりループアンテナ 14 を駆動して応答信号を放射する。

【0030】信号処理回路 16 は、変復調回路 15 で生成した電力、クロックにより動作して、送信データ列 D (R→C) を解析し、必要に応じて応答データ列 D (C

→R) を変復調回路 15 に出力する。

【0031】リードライト 13 において、変復調回路 19 は、SPU (シグナルプロセッシングユニット) 20 より入力される送信データ列 D (R→C) より送信信号を生成し、この送信信号によりループアンテナ 18 を駆動する。また変復調回路 19 は、このループアンテナ 18 で受信された応答信号を信号処理して、IC カード 12 より送出された応答データ列 D (C→R) を復調し、この応答データ列 D (C→R) を SPU 20 に出力する。

【0032】SPU 20 は、比較的簡易な処理手順を実行する演算処理ユニットにより構成され、IC カード 12 に送信する送信データ列 D (R→C) を変復調回路 9 に送出し、またこの変復調回路 19 より入力される応答データ列 D (C→R) を処理する。この処理において、SPU 20 は、必要に応じて表示部 21 に処理経過、処理結果を表示する。また入力部 22 からのコマンドにより動作を切り換え、必要に応じて外部装置 23 との間で処理手順等のデータを入出力する。

【0033】図 3 は、IC カード 12 の変復調回路 15 と、リードライト 13 の変復調回路 19 とを示すブロック図である。

【0034】この変復調回路 19 において、変調器 27 は、SPU 20 より入力される送信データ列 D (R→C) を所定周波数 F1 のクロック CLK1 により PSK 変調し、マンチェスター符号による PSK 変調信号 S1 を出力する。変調器 28 は、変調器 27 より出力される PSK 変調信号 S1 を所定周波数 Fm の主搬送波 Sm より ASK 変調してループアンテナ 18 を駆動する。

【0035】これらによりリードライト 13 は、送信データ列 D (R→C) を 2 段階に変調して送信信号を生成し、この送信信号をループアンテナ 18 より送出する。

【0036】IC カード 12 側の変復調回路 15 において、電源供給回路 29 は、ループアンテナ 14 に誘起される送信信号を受け、この送信信号を整流して直流電源を生成する。電源供給回路 29 は、この直流電源を IC カード 12 の各回路ブロックに供給し、これにより送信信号の電力により変復調回路 15、信号処理回路 16 を動作させる。

【0037】キャリア抽出器 30 は、ループアンテナ 14 より送信信号を受け、この送信信号より主搬送波成分を抽出する。さらにこの主搬送波成分を動作クロックにして復調器 32 に出力する。さらにキャリア抽出器 30 は、この動作クロックを基準にして各種基準クロックを生成し、この基準クロックを信号処理回路 16 等に出力する。

【0038】復調器 32 は、ループアンテナ 14 より送信信号を受け、キャリア抽出器 30 より出力される動作クロックを用いてこの送信信号を処理することにより、この送信信号に重畳されてなる変調器 27 の PSK 変調信号 S1 を復調する。

10

20

30

40

50

【0039】バンドパスフィルタ33は、この復調器32より出力されるPSK変調信号S1を帯域制限することにより、変調器27の出力信号S1に対応する信号成分を選択的に出力する。

【0040】復調器34は、このバンドパスフィルタ33の出力信号より送信データ列D(R→C)を復調し、この送信データ列D(R→C)を信号処理回路16に出力する。これによりICカード12では、リードライタ13より送出された送信データ列D(R→C)を受信できるようになされている。

【0041】変調器35は、信号処理回路16よりリードライタ13に送出する応答データ列D(C→R)を受け、この応答データ列D(C→R)を所定周波数F2のクロックCK2によりPSK変調し、マンチェスター符号によるPSK変調信号S2を出力する。

【0042】負荷回路36は、電源供給回路29より出力される電源ラインに接続され、変調器25の出力信号S2に応じて抵抗値を変化させる。これにより負荷回路36は、電源供給回路29の負荷を出力信号S2に応じて変化させ、ループアンテナ14より見た電源供給回路29の入力インピーダンスを出力信号S2に応じて変化させる。これにより負荷回路36は、ループアンテナ14に誘起されてこのループアンテナ14から再輻射される送信信号の電力を、変調器35の出力信号S2に応じて変化させる。

【0043】このようにしてループアンテナ14から再輻射される電力は、主に主搬送波Smによる電力であり、ループアンテナ14の周囲においては、変調器35の出力信号S2に応じて強度が変化する主搬送波Smによる電磁界が形成されることになる。これにより変復調回路15は、等価的に、変調器35の出力信号S1を主搬送波SmによりASK変調して、リードライタ13に対して応答データ列D(C→R)を搬送する応答信号を生成し、この応答信号をループアンテナ14より輻射する。

【0044】これにより負荷回路36は、電源供給回路29と共に、データ列D(C→R)を2段階で変調する変調回路を構成する。電源安定化回路37は、このように負荷の変化により変動する電源電圧を安定化させて出力する。

【0045】復調器38は、このようにして生成されてループアンテナ18に誘起される応答信号を受け、この応答信号に重畳されてなる変調器35の出力信号S2を復調する。

【0046】バンドパスフィルタ39は、この復調器38の出力信号を帯域制限することにより、変調器35の出力信号S2に対応する信号成分を選択的に出力する。

【0047】復調器40は、このバンドパスフィルタ39の出力信号より応答データ列D(C→R)を復調し、このデータ列D(C→R)をSPU20に出力する。こ

れによりリードライタ13では、ICカード12より送出された応答データ列D(C→R)を受信できるようになされている。

【0048】このようにしてデータ列を送受するICカード12及びリードライタ13において、クロックCK1及びCK2の周波数F1及びF2は、所定周波数だけ異なる周波数により設定される。またこの周波数F1及びF2は、図4に示すように、リードライタ13側の変調器27より出力されるPSK変調信号S1と、この変調器35より出力されるPSK変調信号S2とを周波数軸上で見たとき、側波帯S1U、S1L及びS2U、S2Lが重なり合わないよう、またこれらPSK変調信号S1及びS2が重畳された際に、簡易な構成のバンドパスフィルタ33、39によりPSK変調信号S1及びS2の信号成分をそれぞれ抽出できるように、十分に離間した周波数に設定される。

【0049】これによりICカード12及びリードライタ13において、同時に、双方向でデータ交換できるようになされている。

【0050】図1は、それぞれ変復調回路15及び19に適用される復調器34、40を示すブロック図である。ICカードシステム11において、この復調器34、40は、処理する信号が異なる点を除いて同一に構成されることにより、ICカード12側の復調器34についてだけ説明し、リードライタ13側の復調器40については、図1において相違する箇所に対応する符号を付して示し重複した説明を省略する。ICカードシステム11においては、この復調器34、40においてマンチェスター符号によるPSK変調信号S1、S2を処理してデータ列D(R→C)、D(C→R)を復調する。

【0051】なおここでマンチェスター符号は、図5に示すように、伝送に供するデータの論理レベルに応じて、クロックの1周期で位相が反転するビットコーディングである(図5(A)及び(B))。これによりPSK変調信号S1、S2においては、伝送に供するデータの論理レベルに応じて、クロックCK1、CK2のエッジ情報が伝送されない場合が発生する。

【0052】ICカードシステム11においては、ICカード12とリードライタ13間の距離が離間すると、復調されたPSK変調信号S1、S2のSN比が劣化し、また波形歪みが発生することになる(図5(C))。

【0053】2値化回路42は、リミッタ回路構成の2値化回路により構成され、バンドパスフィルタ33より入力されるPSK変調信号S1を2値化して2値化信号S3を出力する(図5(D))。この場合2値化信号S3においては、PSK変調信号S1、S2の波形が歪んだ分、デューティ比が50[%]より変化して再生されることになる。

【0054】発振器43は、PSK変調信号S1のクロ

ック C K 1 に対して所定倍の周波数を発振し、矩形波信号による発振出力信号 S 4 を出力する。可変型分周器 4 4 は、発振出力信号 S 4 を分周し、P S K 変調信号 S 1 のクロック C K 1 に対して約 2 倍の周波数による矩形波の発振出力信号 S 5 を出力する。このとき可変型分周器 4 4 は、一定の周期により制御信号 S 8 の正負を判定し、この正負により順次分周比を可変する。2 分周器 4 5 は、この発振出力信号 S 5 を 1 / 2 分周し、これにより P S K 変調信号 S 1 のクロックにほぼ周波数が一致してなる矩形波の発振出力信号 S 6 を出力する。

【 0 0 5 5 】エッジ位置ずれ量検出回路 4 6 は、発振出力信号 S 4 のエッジのタイミングを基準にして 2 値化信号 S 3 の論理レベルを検出することにより、発振出力信号 S 6 の各エッジを中心にした 1 / 2 周期の範囲で、順次 2 値化信号 S 3 におけるエッジの有無、発振出力信号 S 6 のエッジに対して進み位相か遅れ位相かを検出してなる位相比較結果 S 7 を出力する。

【 0 0 5 6 】すなわち発振出力信号 S 4 を基準にした連続する論理レベルの検出において、2 値化信号 S 3 の論理レベルが反転している場合、この場合対応する発振出力信号 S 6 のエッジについては、2 値化信号 S 3 においてエッジが存在すると判断することができる。また発振出力信号 S 6 のエッジのタイミングを基準にしてこの論理レベルの反転を判定することにより、発振出力信号 S 6 のエッジに対する位相を判断することができる。これによりエッジ位置ずれ量検出回路 4 6 は、発振出力信号 S 6 を基準にして P S K 変調信号 S 1 のエッジの位置を前後 4 分の 1 周期幅の範囲で検査して、エッジの有無とエッジのずれ量とを出力する位相比較器を構成する。

【 0 0 5 7 】統計量計算回路 4 7 は、順次入力される位相比較結果 S 7 を所定期間保持し、これら保持した位相比較結果 S 7 を発振出力信号 S 6 を基準にして処理することにより、この位相比較結果 S 7 を保持する期間の間で、発振出力信号 S 6 の立ち上がりエッジに対応する 2 値化信号 S 3 のエッジの数と、発振出力信号 S 6 の立ち下がりエッジに対応する 2 値化信号 S 3 のエッジの数とを集計する。また同様に発振出力信号 S 6 の立ち上がり及び立ち下がり毎に、エッジのずれ量を集計して平均値化する。

【 0 0 5 8 】統計量計算回路 4 7 は、このようにして集計したエッジの数より、エッジ数の多い方のエッジずれ量の集計結果を選択し、この集計結果より 2 値化信号に対応するエッジに対して発振出力信号 S 6 が進み位相か遅れ位相かを判定する。統計量計算回路 4 7 は、この判定結果より、可変型分周器 4 4 に制御信号 S 8 を出力し、可変型分周器 4 4 の分周比を 1 分周単位で可変する。

【 0 0 5 9 】これにより統計量計算回路 4 7 は、位相比較結果に基づいて、多くのエッジ情報を有してなる 2 値化信号 S 3 の立ち上がりエッジ又は立ち下がりエッジに

対応する発振出力信号 S 6 の位相ずれ量を計算し、この位相ずれ量より発振出力信号 S 6 の周波数を可変する位相比較結果処理手段を構成する。

【 0 0 6 0 】これにより発振器 4 3、可変型分周器 4 4、2 分周器 4 5、エッジ位置ずれ量検出回路 4 6、統計量計算回路 4 7 は、P L L 回路を構成し、2 値化信号 S 3 の立ち上がりエッジ又は立ち下がりエッジに対してはエッジのタイミングが一致し、P S K 変調信号 S 1 のクロックに対しては所定の位相差により位相同期してなる発振出力信号 S 6 を生成する（図 5（E）及び（F））。

【 0 0 6 1 】さらに統計量計算回路 4 7 は、制御信号 S 8 の出力に供して残る他方の位相ずれ量の計算結果 S 9 をサンプリング位置計算回路 4 8 に出力する。なお統計量計算回路 4 7 は、エッジ位置ずれ量検出回路 4 6 で検出した論理レベルを、発振出力信号 S 6 の各エッジ、各エッジの前後のタイミングでそれぞれ選択的に取り込んで順次転送するラッチ群と、これらラッチ群の出力を加算する加算回路と、これら加算回路の加算結果を比較する比較回路とにより構成され、この比較結果を選択的に出力して可変型分周器 4 4 に制御信号 S 8 を出力し、またサンプリング位置計算回路 4 8 に計算結果 S 9 を出力するようになされている。

【 0 0 6 2 】サンプリング位置計算回路 4 8 は、この計算結果 S 9 に基づいて、発振出力信号 S 6 を遅延させることにより、P S K 変調信号 S 1 のクロックに対する発振出力信号 S 6 の位相差を徐々に補正し、クロック C K を出力する。

【 0 0 6 3 】ラッチ回路 4 9 は、このクロック C K を基準にして 2 値化信号 S 3 を順次ラッチすることにより、データ列 D（R→C）、D（C→R）を復調して出力する。

【 0 0 6 4 】以上の構成において、I C カードシステム 1 1 は（図 2 及び図 3）、リードライタ 1 3 より I C カード 1 2 に送出する送信データ列 D（R→C）が変調器 2 7 で周波数 F 1 のクロック C K 1 により P S K 変調された後、周波数 F m の主搬送波 S m により変調されてループアンテナ 1 8 より送出される。

【 0 0 6 5 】これにより I C カード 1 2 がリードライタ 1 3 に接近すると、I C カード 1 2 のループアンテナ 1 4 にこの主搬送波 S m により変調されてなる送信信号が誘起される。この誘起された送信信号は、一部が電源供給回路 2 9 により I C カード 1 2 の電力に変換され、この電力により I C カード 1 2 の変復調回路 1 5、信号処理回路 1 6 が駆動される。

【 0 0 6 6 】さらにこのループアンテナ 1 4 より得られる送信信号は、復調器 3 2 で変調器 2 7 の出力信号 S 1 が復調され、この信号成分がバンドパスフィルタ 3 3 で帯域制限されて他の信号成分と分離された後、続く復調器 3 4 に入力され、ここで送信データ列 D（R→C）が

復調される。

【0067】これによりこの送信データ列D (R→C) が信号処理回路16で解析されて、リードライタ13に送出する応答データ列D (C→R) が生成され、この応答データ列D (C→R) が変調器35に入力される。ここでこの応答データ列D (C→R) は、周波数F2のクロックCK2により変調され、この変調器35で生成されたPSK変調信号S2によりループアンテナ14の負荷インピーダンスが可変されることにより、送信信号の主搬送波Smの振幅変調信号としてループアンテナ14より送出される。

【0068】これによりICカード12からリードライタ13に応答データ列D (C→R) が送信される。このようにして送信された応答データ列D (C→R) は、ループアンテナ14と結合するループアンテナ18によりリードライタ13で受信され、この受信した信号でなる応答信号が復調器38に入力され、これにより変調器35の出力信号S2が復調される。さらにこの信号成分がバンドパスフィルタ39で帯域制限されることにより、他の信号成分と分離された後、続く復調器40に入力され、ここで応答データ列D (C→R) が復調される。

【0069】このようにして送受される送信データ列D (R→C) 及び応答データ列D (C→R) は、周波数F1及びF2のクロックCK1及びCK2によりPSK変調されて、マンチェスター符号によるビットコーディングにより伝送され(図5)、それぞれICカード12とリードライタ13で復調された際に、ICカード12とリードライタ13との距離により、PSK変調信号S1、S2に波形歪みが発生する。

【0070】この受信されたPSK変調信号S1、S2は(図1)、リミッタ回路構成の簡易な構成による2値化回路42で2値化され、これにより2値化信号S3においては、ICカード12とリードライタ13との距離により、デューティ比が大きく変化し、またノイズにより論理レベルが変化することになる。

【0071】復調器34、40においては、発振器43において、PSK変調信号S1のクロックCK1の周波数F1に対して所定倍の矩形波信号による発振出力信号S4が生成され、この発振出力信号S4が可変型分周器44で分周されてPSK変調信号S1のクロックCK1に対して約2倍の周波数による矩形波の発振出力信号S5が生成される。またこの発振出力信号S5が2分周器45により1/2分周されてPSK変調信号S1のクロックCK1とほぼ周波数の等しい矩形波の発振出力信号S6が生成される。

【0072】2値化信号S3は、エッジ位置ずれ量検出回路46において、この発振出力信号S5との位相比較により、発振出力信号S6の各エッジを中心に1/2周期の範囲で、エッジの有無、発振出力信号S6のエッジに対して進み位相か遅れ位相かが検出される。さら

に続く統計量計算回路47において、発振出力信号S6を基準にした統計処理により、発振出力信号S6の立ち上がりエッジに対応する2値化信号S3のエッジの数と、発振出力信号S6の立ち下がりエッジに対応する2値化信号S3のエッジの数とが集計され、また同様にして発振出力信号S6の立ち上がり及び立ち下がり毎に、エッジのずれ量が集計される。

【0073】さらに集計したエッジの数より、エッジ数の多い方のエッジずれ量の集計結果が選択され、この集計結果より2値化信号S3の対応するエッジに対して発振出力信号S6が進み位相か遅れ位相かが判定され、この位相ずれを補正するように、順次可変型分周器44の分周比が切り換えられる。これにより2値化信号S3のエッジに対して発振出力信号S6の立ち上がりエッジ又は立ち下がりエッジが位相同期するように、発振出力信号S6が位相制御される。

【0074】さらにこのようにして位相制御されてなる発振出力信号S6が、制御信号S8の出力に供して残る他方の位相ずれ量の計算結果S9によりサンプリング位置計算回路48で遅延され、これによりPSK変調信号S1のクロックCK1に位相同期してなるクロックCKが生成され、このクロックCKにより2値化信号S3が順次ラッチされてデータ列D (R→C) が復調される。

【0075】これにより発振出力信号S6の一方のエッジが2値化信号S3と位相同期するように制御され、この発振出力信号S6のタイミングを他方のエッジの位相差により補正してクロックCKが生成され、2値化信号S3のデューティ比が変化した場合でも、正しくクロックCKが再生される。

【0076】さらにこのときエッジ数の多い方のエッジずれ量の集計結果が選択され、この集計結果より2値化信号S3の対応するエッジに対して発振出力信号S6の位相を制御することにより、マンチェスター符号による場合のように、1クロックを単位にして位相が反転し、クロックCKに同期して変調信号S1、S2の論理レベルが切り換わらない場合が発生しても、確実にクロックCKが再生される。またこのときエッジずれ量が集計されて処理されることにより、ノイズの影響が有効に回避される。

【0077】以上の構成によれば、発振出力信号S6の一方のエッジが2値化信号S3と位相同期するように発振出力信号S6の周波数を制御し、この発振出力信号S6のタイミングを他方のエッジの位相差により補正してクロックCKを生成することにより2値化信号S3のデューティ比が変化した場合でも、正しくクロックCKを再生することができる。またエッジずれ量を集計して平均値化することにより、ノイズの影響を有効に回避することができる。これらによりICカード及びリードライタ間の距離が変化し、入力信号でなるPSK変調信号が劣化した場合でも、簡易な構成で、入力信号を確実に処

理することができる。

【 0 0 7 8 】 (2) 第 2 の実施の形態

図 6 は、第 2 の実施の形態に係る IC カード及び IC カード処理装置に適用される復調器を示すブロック図である。この図 6 に示す構成において、図 1 について上述した復調器と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

【 0 0 7 9 】 この復調器 5 0 において、2 値化回路 5 1 は、PSK 変調信号 S 1 を 2 値化し、その 2 値化信号 S 3 A と、この 2 値化信号 S 3 A の極性を反転してなる 2 値化信号 S 3 B とを出力する。

【 0 0 8 0 】 可変型分周器 5 2 は、発振器 4 3 の発振出力信号 S 4 を分周し、PSK 変調信号 S 1 とほぼ周波数の等しい第 1 の発振出力信号 S 6 Q、この第 1 の発振出力信号 S 6 Q に対して 9 0 度位相の異なる第 2 の発振出力信号 S 6 I を出力する。

【 0 0 8 1 】 セレクタ 5 3 Q は、第 1 の発振出力信号 S 6 Q を基準にして 2 値化信号 S 3 A、S 3 B を選択的に出力することにより、第 1 の発振出力信号 S 6 Q と 2 値化信号 S 3 A とを排他的論理和により位相比較したと同一の位相比較結果 S 7 Q を出力する。

【 0 0 8 2 】 セレクタ 5 3 I は、第 2 の発振出力信号 S 6 I を基準にして 2 値化信号 S 3 A、S 3 B を選択的に出力することにより、第 2 の発振出力信号 S 6 I と 2 値化信号 S 3 B とを排他的論理和により位相比較したと同一の位相比較結果 S 7 I を出力する。

【 0 0 8 3 】 ローパスフィルタ (LPF) 5 4 Q は、位相比較結果 S 7 Q の移動平均を得、この移動平均値を復調結果として出力する。ローパスフィルタ (LPF) 5 4 I は、位相比較結果 S 7 I の移動平均を出力する。

【 0 0 8 4 】 制御方向判定回路 5 5 は、ローパスフィルタ 5 4 Q 及び 5 4 I の出力信号を基準にして可変型分周器 5 2 における分周比の可変方向を決定し、この可変方向に従って制御信号 S 8 を出力する。

【 0 0 8 5 】 すなわち図 7 に示すように、位相比較結果 S 7 I、S 7 Q との対比によりクロック CK 1 との間の排他的論理和による位相比較結果をアナログ量 S 7 I A、S 7 Q A により示すと、クロック CK 1 に対して位相が一致しているとき (位相差 0 及び $\pi/2$ のとき)、位相比較結果 S 7 I、S 7 Q は、それぞれ大きな値が得られ、このとき 9 0 度位相の異なる位相比較結果においては、値 0 の位相比較結果が得られる。さらにこれらの値は、位相差の変化により三角波形状に変化する (図 7 (A) 及び (B))。

【 0 0 8 6 】 この関係を位相比較結果 S 7 I、S 7 Q の符号により示すと (図 7 (C) 及び (D))、第 2 の位相比較結果 S 7 I においては、- 9 0 度から 9 0 度の範囲で値が正に立ち上がり、- 9 0 度から - 1 8 0 度の範囲、9 0 度から 1 8 0 度の範囲で値が負に立ち下がる。またこれと 9 0 度位相の異なる第 1 の位相比較結果 S 7

Q においては、0 度から 9 0 度の範囲で値が正に立ち上がり、0 度から - 1 8 0 度の範囲で値が負に立ち下がる。

【 0 0 8 7 】 これにより位相比較結果 S 7 I、S 7 Q の符号により、2 値化信号 S 3 A に対する位相ずれを大まかに検出できることが判る。

【 0 0 8 8 】 これに対して 2 値化信号 S 3 A の生成基準でなるマンチェスター符号においては、データの論理レベルに応じてクロック CK に対して 0 度、1 8 0 度の位相を形成する。この場合 2 値化信号 S 3 A を用いた位相比較結果 S 7 I、S 7 Q においては、PSK 変調信号 S 1 により伝送されるデータに応じて、クロック CK 1 に対して位相同期する箇所が位相差 0 度、位相差 1 8 0 度で切り換わることになる。

【 0 0 8 9 】 これにより位相比較結果 S 7 I により検出される位相差が - 9 0 度 ~ 9 0 度の範囲においては、矢印 a により示すように、位相比較結果 S 7 Q の位相差が 0 度になるように制御して、位相比較結果 S 7 I の生成基準でなる発振出力信号 S 6 I をクロック CK に同期させることができる。

【 0 0 9 0 】 また位相比較結果 S 7 I により検出される位相差が - 1 8 0 度 ~ - 9 0 度、9 0 度 ~ 1 8 0 度の範囲においては、矢印 b により示すように、位相比較結果 S 7 Q の位相差が 1 8 0 度になるように制御して、位相比較結果 S 7 I の生成基準でなる発振出力信号 S 6 I をクロック CK に同期させることができる。

【 0 0 9 1 】 この関係に従って、制御方向判定回路 5 5 は、図 8 に示すように、位相比較結果 S 7 I、S 7 Q の符号をアドレスにしたテーブルを保持し、このテーブルにより制御方向を決定し、この制御方向により制御信号 S 8 を出力する。なおここでこの図 8 においては、制御方向を +、- により示す。

【 0 0 9 2 】 図 6 に示す構成によれば、9 0 度位相の異なる発振出力信号による第 1 及び第 2 の位相比較結果より、この第 1 及び第 2 の位相比較結果の正負に応じて制御方向を決定して発振周波数を可変したことにより、簡易な構成で、PSK 変調信号 S 1、S 2 が劣化した場合でも、確実にクロック CK を再生してデータを復調することができる。

【 0 0 9 3 】 (3) 第 3 の実施の形態

図 9 は、第 3 の実施の形態に係る復調器を示すブロック図である。この復調器 6 0 は、図 6 において上述したセレクタ 5 3 Q、5 3 I に代えてイクスクルーシブオア回路 (EX-OR) 6 1 Q、6 1 I により位相比較結果 S 7 Q、S 7 I を検出する。

【 0 0 9 4 】 切り換え回路 6 2 は、ローパスフィルタ 5 4 Q、5 4 I の出力を絶対値化して比較することにより、ローパスフィルタ 5 4 Q、5 4 I の出力に対応する第 1 及び第 2 の発振出力信号 S 6 Q、S 6 I の何れの位相が、クロック CK の位相に近接しているか判断する。

さらにこの判断結果より、入力されたローパスフィルタ 54Q、54I の出力を入れ換えて、制御方向判定回路 55 に出力する。

【0095】これにより切り換え回路 62 は、図 10 において第 1 の発振出力信号 S6Q による位相を Q アーム、第 2 の発振出力信号 S6I の位相を I アームにより示すように、PSK 変調信号 S1 の位相が何れか近い側の位相に近づくように、位相比較結果 S7I、S7Q を切り換え、その分立ち上がり時、高速度で位相同期できるようになされている。

【0096】図 9 に示す構成によれば、第 3 の実施の形態の構成に加えて、PSK 変調信号 S1 の位相が何れか近い側の位相に近づくように、位相比較結果 S7I、S7Q を切り換えることにより、第 2 の実施の形態の効果に加えて、立ち上がり時、高速度で位相同期することができる。

【0097】(4) 他の実施の形態

なお上述の第 2 及び第 3 の実施の形態においては、ローパスフィルタの出力より復調結果を出力する場合について述べたが、本発明はこれに限らず、別途ラッチ回路により 2 値化信号をラッチして復調結果を出力してもよい。

【0098】さらに上述の実施の形態においては、送信信号の電力により IC カードを動作させる場合について述べたが、本発明はこれに限らず、電池により動作させる場合等にも広く適用することができる。

【0099】また上述の実施の形態においては、マンチェスター符号による PSK 変調信号よりクロックを生成し、またデータを復調する場合について述べたが、本発明はこれに限らず、種々の PSK 変調信号によりクロックを生成し、またデータを復調する場合、さらには ASK 変調信号よりクロックを生成する場合等、種々の変調信号よりクロックを生成し、またこのクロックを用いてデータを再生する場合に広く適用することができる。

【0100】また上述の実施の形態においては、本発明を IC カード及び IC カード処理装置でなるリードライタに適用する場合について述べたが、本発明はこれに限らず、種々のデータ伝送装置の PLL 回路、復調回路に広く適用することができる。

【0101】

【発明の効果】上述のように本発明によれば、発振出力信号と 2 値化信号の位相比較結果を選択的に平均値化して立ち上がりエッジ又は立ち下がりエッジの何れかに対

する位相ずれ量を計算し、この位相ずれ量より発振出力信号を制御することにより、また 90 度位相の異なる発振出力信号による位相比較結果の正負を基準にして制御方向を決定し、この制御方向に発振出力信号を制御することにより、簡易な構成で、入力信号が劣化した場合でも確実に入力信号を処理することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る IC カード及びリードライタに適用される復調器を示すブロック図である。

【図 2】IC カードシステムの全体構成を示すブロック図である。

【図 3】図 2 の IC カードシステムの変復調回路を示すブロック図である。

【図 4】図 2 の IC カードシステムにおける送信信号及び応答信号の周波数スペクトラムを示す特性曲線図である。

【図 5】図 1 の復調器の動作の説明に供する信号波形図である。

【図 6】本発明の第 2 の実施の形態に係る IC カード及びリードライタに適用される復調器を示すブロック図である。

【図 7】図 6 の復調器の動作の説明に供する特性曲線図である。

【図 8】図 6 の復調器の制御方向判定回路の説明に供する図表である。

【図 9】本発明の第 3 の実施の形態に係る IC カード及びリードライタに適用される復調器を示すブロック図である。

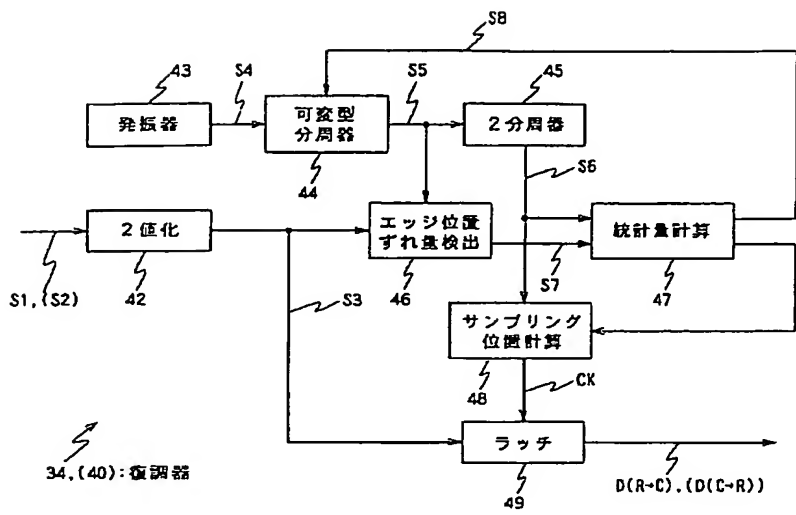
【図 10】図 9 の復調器の動作の説明に供する特性曲線図である。

【図 11】従来の復調器を示すブロック図である。

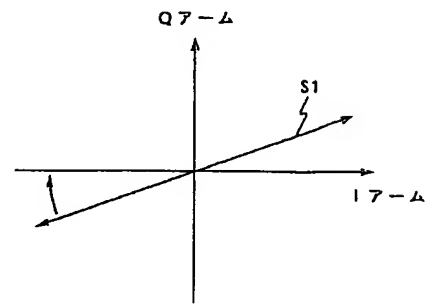
【符号の説明】

1、34、40、50、60……復調器、2、43、51……2 値化回路、3……位相比較回路、4……制御型発振回路、5、54I、54Q……ローパスフィルタ、6、49……ラッチ、11……IC カードシステム、12……IC カード、13……リードライタ、15、19……変復調回路、46……エッジ位置ずれ量検出回路、47……統計量計算回路、48……サンプリング位置計算回路、53I、53Q……セレクタ、55……制御方向判定回路、61I、61Q……イクスクルーシブオア回路、62……切り換え回路

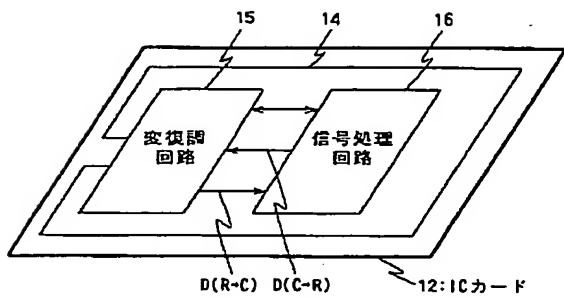
【図 1】



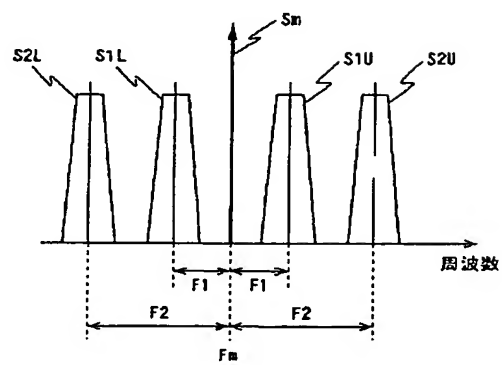
【図 10】



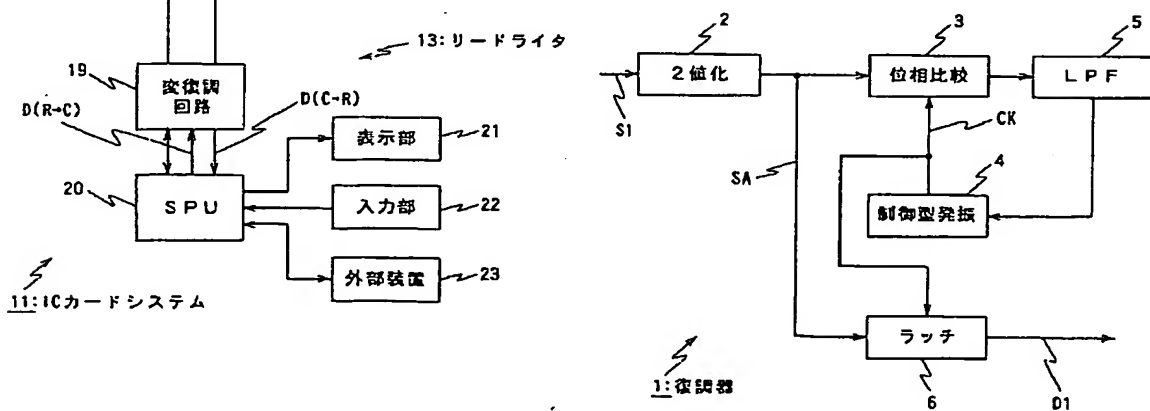
【図 2】



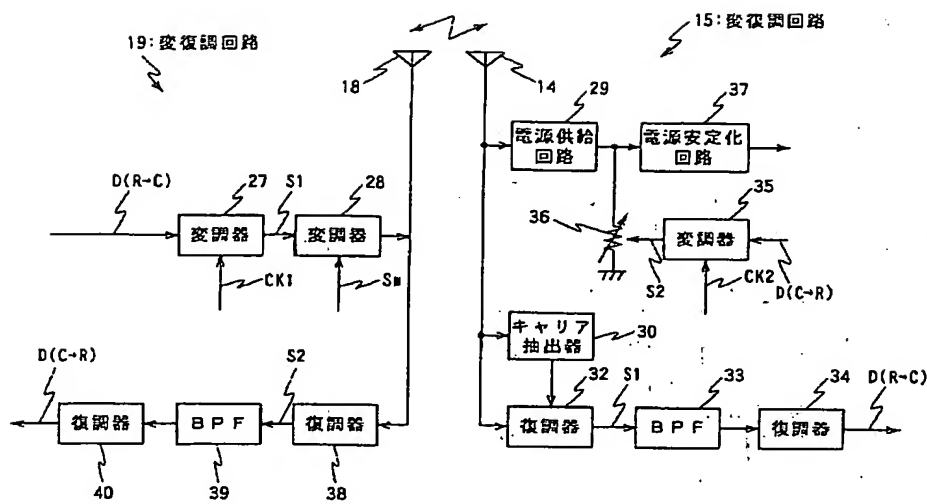
【図 4】



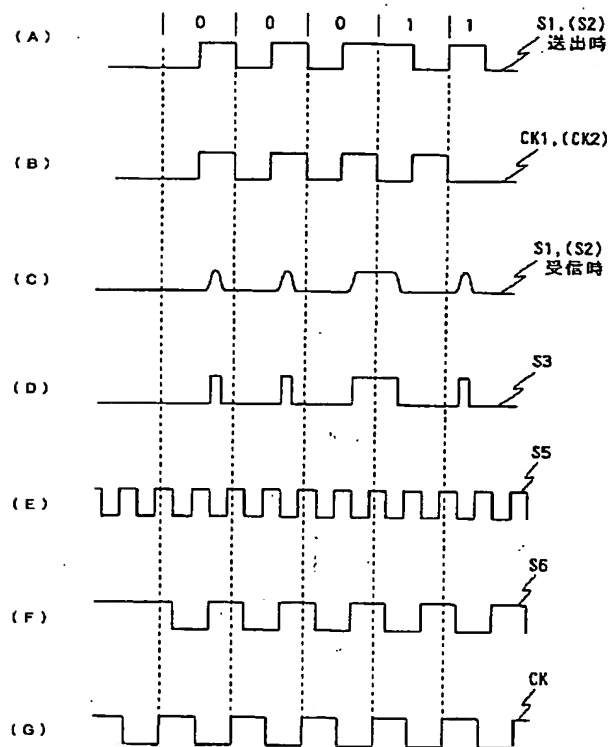
【図 11】



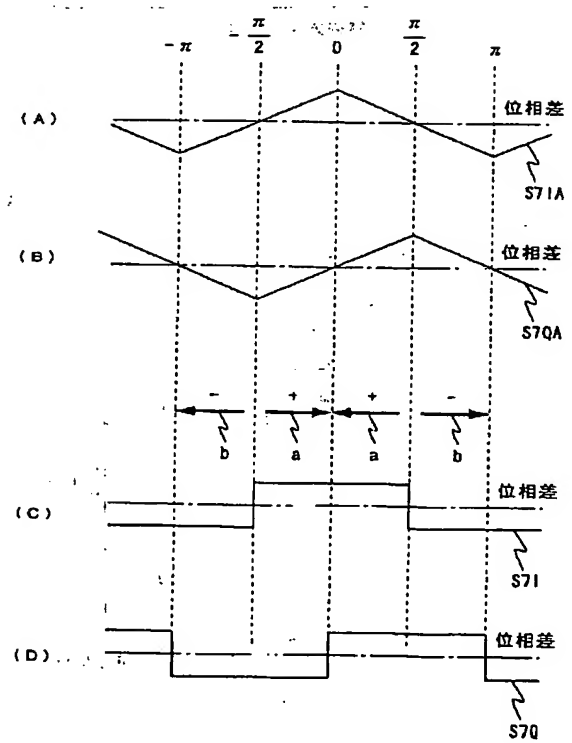
【図 3】



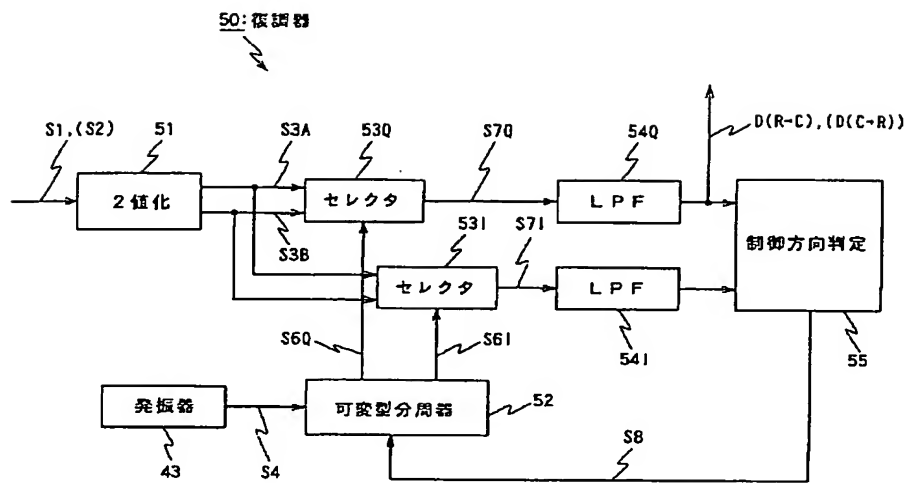
【圖 5】



【図 7】



【図 6】



【図 8】

位相ずれ	$-\pi$		$-1/2\pi$		0		$1/2\pi$		π
S7I	-	-	0	+	+	+	0	-	-
S7Q	0	-	-	-	0	+	+	+	0
制御方向	0	+	-	-	0	+	+	-	0

【図 9】

